

科技部補助專題研究計畫成果報告 期末報告

匯流排效能驅動以隔離開關與插入重複器整合方法應用於三維 疊接積體電路

計畫類別：個別型計畫
計畫編號：MOST 105-2221-E-343-004-
執行期間：105年08月01日至106年07月31日
執行單位：南華大學資訊工程學系

計畫主持人：蔡加春

計畫參與人員：大專生-兼任助理：林智隲
大專生-兼任助理：許又中
大專生-兼任助理：吳佩珊
大專生-兼任助理：吳泰霖
大專生-兼任助理：王善修

報告附件：出席國際學術會議心得報告

中華民國 106 年 08 月 16 日

中文摘要：三維疊接SoC為多層次(multi-layer)的積體電路，每層次包含數個不同功能區塊模組所組合起來，具有區域性的控制、位址、資料等三種主要匯流排而將這些模組連結形成區域系統匯流排，各層次(layer)將這三種區域匯流排以適量貫穿矽層穿孔(TSVs)相互連結起來而成為整顆SoC的全域系統匯流排(system buses)，其中在全域的資料匯流排之資料存取時間快慢，最直接影響3D疊接SoC的系統執行效能。本研究計畫針對多層次3D疊接積體電路的資料匯流排之資料存取時間最小化，整合動態橋接分段匯流排與插入適當大小重複器之可行方法，在不同的時序下，資料在全域資料匯流排之資料存取時間之最小化的問題定義如下：輸入為已知有多個層次以TSVs疊接組成一個3D系統晶片，每個層次(layer)含有數個IP模組且都有自己的區域資料匯流排，並以TSV將每個層次的區域資料匯流排疊接成為全域匯流排；已知有p個時序，每個時序可將信號從一個源頭端經由區域資料匯流排或全域匯流排同時傳送到多個汲極端。輸出為依照每個時序之信號從一個source端經由區域資料匯流排或全域匯流排同時傳送到多個sink端，決定插入適當雙向傳輸閘或匯流排開關(bus switches)來阻隔非必要的匯流排負載電容量及插入雙向可調整大小的重複器來提升資料存取時間，使得其全域最大的資料存取時間為最小化，即目標為 $\text{Min}(\text{Max}(T_{ij}))$ ，i為source端與j為sink端。實驗結果顯示，具有插入匯流排隔離開關演算法所得到的最大資料存取時間及使用的重複器大小，在45奈米的製程下，較無具有插入匯流排隔離開關演算法者，平均分別減少了51.02%及21.67%，呈現其有效性。

中文關鍵詞：三維資料匯流排、臨界資料存取時間、匯流排開關、重複器

英文摘要：A 3D stacked SoC (System-on a Chip) is a multiple-layer integrated circuit. Each layer consists of a number of different function-based modules and has a local system buses that include the control bus, address bus, and data bus to connect these modules. A number of TSVs is used to vertically connect different local system buses located on each layer to form these local buses to be the global system buses of a 3D stacked SoC. It is noted that the data accessing time in global data bus is the key point for the system performance of a 3D stacked SoC. In this work, we proposed a heuristic algorithm for minimizing the critical access time on a 3D data bus based on inserted bus switches and repeaters. Given the topology of a 3D data bus with a number of timing periods, the algorithm first inserts bus switches to isolate those unnecessary local bus capacitive loading by evaluating all the timing periods. Then, it inserts signal repeaters close to their source drivers, which are located on the current critical path, and tunes their sizes to minimize the critical access time, i.e., $\text{Min}(\text{Max}(T_{ij}))$. This tuning procedure is repeated until no additional improvement. Some created 3D data buses with various topologies using 45nm technology are tested and

experimental results show that our algorithm can dramatically reduce the critical access time and the repeater size of a 3D data bus up to 51.02% and 21.67% on average.

英文關鍵詞：3D data bus; critical access time; bus switch; signal repeater

科技部補助專題研究計畫成果報告

(期中進度報告/期末報告)

匯流排效能驅動以隔離開關與插入重複器整合方法應用於
三維疊接積體電路

3D Data Bus Performance Driven Based on Integration of
Isolated Switches and Inserted Repeaters

計畫類別：個別型計畫 整合型計畫

計畫編號：MOST 105-2221-E-343-004

執行期間：105 年 8 月 1 日 至 106 年 7 月 31 日

執行機構及系所：南華大學 資訊工程學系

計畫主持人：蔡加春 教授

共同主持人：

計畫參與人員：許又中、林智隲、吳佩珊等大學生

本計畫除繳交成果報告外，另含下列出國報告，共二份：

執行國際合作與移地研究心得報告

出席國際學術會議心得報告

出國參訪及考察心得報告

中 華 民 國 106 年 8 月 16 日

目錄

一、中英文摘要及關鍵詞-----	2
二、報告內容-----	3
三、參考文獻-----	13
四、計畫成果自評-----	14

一、中英文摘要及關鍵詞

中文摘要：

三維疊接SoC為多層次(multi-layer)的積體電路，每層次包含數個不同功能區塊模組所組合起來，具有區域性的控制、位址、資料等三種主要匯流排而將這些模組連結形成區域系統匯流排，各層次(layer)將這三種區域匯流排以適量貫穿矽層穿孔(TSVs)相互連結起來而成為整顆SoC的全域系統匯流排(system buses)，其中在全域的資料匯流排之資料存取時間快慢，最直接影響3D疊接SoC的系統執行效能。本研究計畫針對多層次3D疊接積體電路的資料匯流排之資料存取時間最小化，整合動態橋接分段匯流排與插入適當大小重複器之可行方法，在不同的時序下，資料在全域資料匯流排之資料存取時間之最小化的問題定義如下：輸入為已知有多個層次以TSVs疊接組成一個3D系統晶片，每個層次(layer)含有數個IP模組且都有自己的區域資料匯流排，並以TSV將每個層次的區域資料匯流排疊接成為全域匯流排；已知有p個時序，每個時序可將信號從一個源頭端經由區域資料匯流排或全域匯流排同時傳送到多個汲極端。輸出為依照每個時序之信號從一個source端經由區域資料匯流排或全域匯流排同時傳送到多個sink端，決定插入適當雙向傳輸閘或匯流排開關(bus switches)來阻隔非必要的匯流排負載電容量及插入雙向可調整大小的重複器來提升資料存取時間，使得其全域最大的資料存取時間為最小化，即目標為 $\text{Min}(\text{Max}(T_{ij}))$ ， i 為source端與 j 為sink端。實驗結果顯示，具有插入匯流排隔離開關演算法所得到的最大資料存取時間及使用的重複器大小，在45奈米的製程下，較無具有插入匯流排隔離開關演算法者，平均分別減少了51.02%及21.67%，呈現其有效性。

關鍵詞：三維資料匯流排、臨界資料存取時間、匯流排開關、重複器。

Abstract:

A 3D stacked SoC (System-on a Chip) is a multiple-layer integrated circuit. Each layer consists of a number of different function-based modules and has a local system buses that include the control bus, address bus, and data bus to connect these modules. A number of TSVs is used to vertically connect different local system buses located on each layer to form these local buses to be the global system buses of a 3D stacked SoC. It is noted that the data accessing time in global data bus is the key point for the system performance of a 3D stacked SoC. In this work, we proposed a heuristic algorithm for minimizing the critical access time on a 3D data bus based on inserted bus switches and repeaters. Given the topology of a 3D data bus with a number of timing periods, the algorithm first inserts bus switches to isolate those unnecessary local bus capacitive loading by evaluating all the timing periods. Then, it inserts signal repeaters close to their source drivers, which are located on the current critical path, and tunes their sizes to minimize the critical access time, i.e., $\text{Min}(\text{Max}(T_{ij}))$. This tuning procedure is repeated until no additional improvement. Some created 3D data buses with various topologies using 45nm technology are tested and experimental results show that our algorithm can dramatically reduce the critical access time and the repeater size of a 3D data bus up to 51.02% and 21.67% on average.

Keywords: 3D data bus; critical access time; bus switch; signal repeater

二、報告內容

(一) 前言

EE times [1]於 2013 年報導系統晶片設計全面改以三維疊接積體電路(3D stacked IC) 技術來規劃，可克服異質多晶片組合的容量、效能及功能之限制，具有縮短連線長度以及增加整體執行效能等優點，應用範圍更適合在消費性產品如手機與數位相機等主要處理元件，但真正的設計 3D 疊接 IC 所需的電子設計化工具(EDA tools)及實體設計工具仍有許多待研發的，尤其是 3D IC 資料匯流排存取時間之精簡化，也是最需落實之一。

3D 疊接 SoC 為多層次(multi-layer)的 IC，以適量 TSVs 將各層次的晶粒疊接起來，每層次之區域包含數個不同功能區塊模組、IP、SRAM、DRAM 等所組合起來，含有系統匯流排(system buses)，即具有區域性的 control bus、address bus、data bus 等三種主要匯流排，各層次(layer)將這三種區域匯流排相互連結起來而成為全域的系統匯流排；其中在全域的資料匯流排之資料存取時間快慢，最直接影響 3D 疊接 SoC 的系統執行效能。

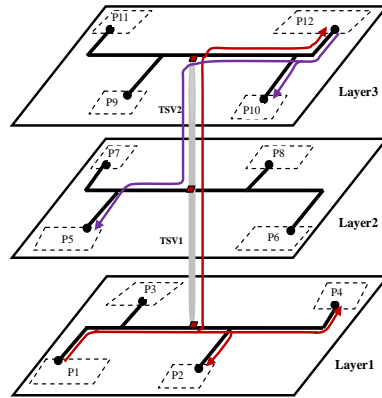
之前的研究已探討過相關 2D 資料匯流排之資料存取時間最小化的問題，以動態橋接分段匯流排或跨越匯流排(Dynamic bridge segmented or by-pass bus)的方法，皆可有效的提高資料存取速度。ARM 公司[2]研發出 AMBA bus 系統，在各匯流排之間加入橋接來分配系統匯流排的資源，可相互支援，避免相互成為非必要的負載，提供各區塊模組或 IP 間的高速度或不需要高速度之間的連結，以達到最有效資料存取時間；Seceleanu [3]研發出一個分段式匯流排平台來提升資料匯流排間的通訊，使本地仲裁器與中央仲裁器以非同步方式作交握相關通道，以達到最精簡之通訊時間；Chitra et al. [4]提出了動態橋接跨越技術(dynamic bridge-by-pass technique)用來精簡 on-chip 分段式匯流排的結構之傳播延遲時間與匯流排仲裁時間，減少通訊延遲時間及提升操作速度。

另在 2D 資料匯流排中插入適當大小的緩衝器或重複器(sized buffers or repeaters)，亦可對在資料匯流排資料存取時間作有效地最小化，進而提升執行系統。Tsai et al. [5,6]首先提出在區域資料匯流排上減小其最大的資料傳播時間(data propagation delay)或資料存取時間(data access time)之問題，在任一個時序，資料信號可由一個源極端傳送資料信號到其他汲極端，但此源極端亦可為另一個時序的汲極端，因此，區域資料匯流排(Data bus)提供傳送與接收資料，即為多時序之多源極與多汲極(multiple timing multi-source multi-sink data propagation)的資料傳送模式。減小其最大的資料傳播時間或資料存取時間解決方法為在區域資料匯流排上適時插入單向或雙向的緩衝器(buffer)或重複器(repeater)，並調整其大小，使其最大的資料存取時間最小化，此動作對各時序之多源頭與多汲極發送與接收資料做重複實施，直到使其最大的資料存取時間最小化至不能再改善為主。Tsai et al. [6] 也證明此問題為 NP-complete。

而在 3D 全域資料匯流排之結構上來精簡化資料存取時間，以動態橋接分段匯流排或跨越匯流排的方法，可達到有效的提高全域資料存取速度或降低全域資訊傳播延遲時間。Cho et al. [7]提出多層次匯流排結構的 3D SoC 及執行效能評估，由 TSVs 疊接三層次之資料匯流排，而分享多層次資料匯流排則以 Bridges 來控制，3D 資料匯流排的存取時間 $Latency_{3D\text{-multi-layer}} = NM / NC * Latency_{2D\text{-bus}} * (1 - \#TSVs) + \alpha * \#TSVs$ ，這些因素含發送的主 IP 個數與傳送資料封包數量 NM、穿過 TSV 的個數 #TSVs、2D 資料匯流排的存取時間 $Latency_{2D\text{-bus}}$ 、接收的 IP 個數 NC 及 bridge 使用率 α 等。Sheu et al. [8] 提出解析 on-chip 匯流排驅動器(bus driver)之 TSV 電器特性將影響 3D IC 整合，不同大小的發送器 TX 驅動不同數量的 TSV 負載量，資料傳播延遲時間跟隨增加，如 1 TX size 驅動 2TSVs、4TSVs 及 8TSVs，則傳播延遲時間分別為 1.6ns、2ns 及 2.2ns；而 8 TX size 驅動 2TSVs、4TSVs 及 8TSVs，則傳播延遲時間分別為 0.9ns、1ns 及 1ns。

另在 3D 資料匯流排資料存取時間的精簡化，也牽涉到驅動各層次之 TSVs 個數的負載量

及各區域資料匯流排之連線總電阻與總電容的負載量，在資料匯流排中插入適當大小的緩衝器或重複器，可達到有效的降低資料存取時間。Tsai [9]首先提出了 3D 匯流排資料存取時間最小化初步的方法，如圖一所示之一顆 SoC 由三個晶粒(die)所組成，每個 die 都有各自的區域資料匯流排(local data bus)，進而由 TSV 疊接區域資料匯流排而形成全域資料匯流排(global data bus)來整合與分流所有 IP 模組或單元區塊的同步動作，而各個單元區塊間所需要的介面模組也靠著信號存取以達到系統同步動作的需求，其資料存取時間與可靠度決定了整體晶片系統效能。經由插入適量的重複器及調整其大小，則可得到資料存取時間最小化。

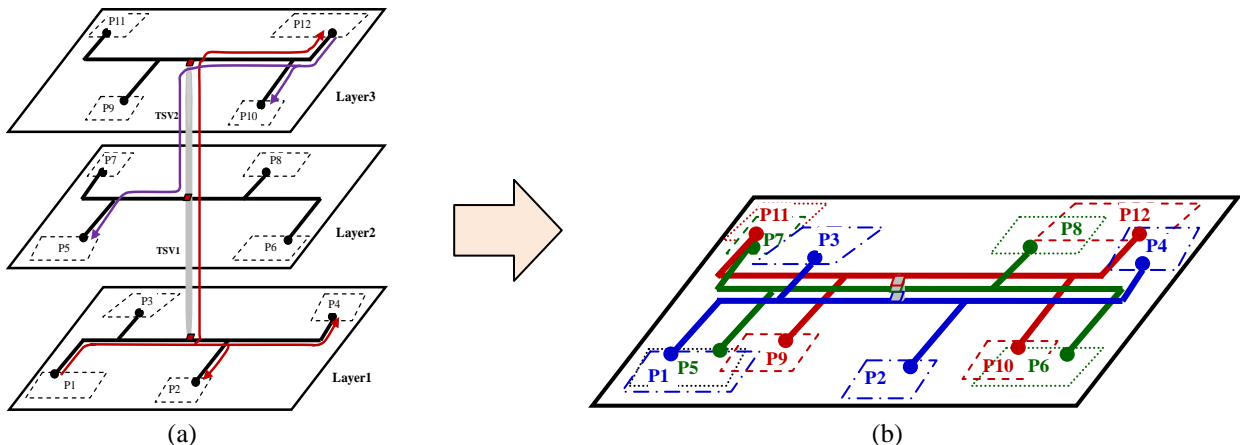


圖一 一個典型的 3D 資料匯流排

但在 3D 全域資料匯流排之資料存取時間精簡化的相關研究仍是少數，如能進一步探討，將使其更加地具有研發及實務應用的價值。如圖一所示，在任一時序，可能存在不需要的區域資料匯流排之連線總電阻與總電容的額外負載量，而莫名地增加資料存取時間，此部分需進一步得考量以高速匯流排開關給予隔離，排除這些額外負載量，縮短資料存取時間，提升晶片執行效能，也是本計畫主要的研究目的與價值。

(二) 問題推演與定義

三維資料匯流排(3D data bus)如圖一所示可精簡為如圖二所示，分別為圖(a)三層 3D 資料匯流排、圖(b)壓縮為 2D 資料匯流排、圖(c)時序週期及每個時序的源極端與汲極端，總計有 12 個時序週期 TP-1~TP-12，每個時序只有一個源極端及至少一個汲極端。



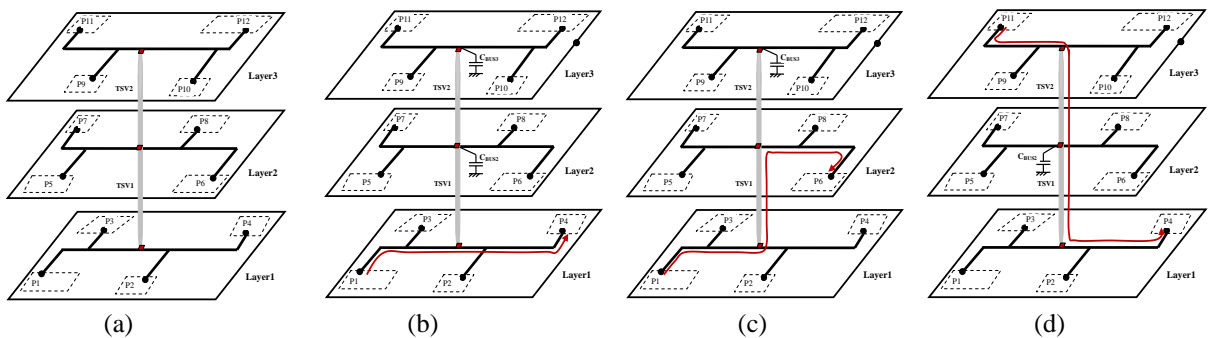
Timing-Period	Source	Sinks	Timing-Period	Source	Sinks
TP-1	p1	p2,p4,p12	TP-7	p7	p5,p8,p2,p10
TP-2	p2	p1,p3,p7	TP-8	p8	p6,p11
TP-3	p3	p1,p2,p4,p9	TP-9	p9	p10,p11,p12,p3
TP-4	p4	p3,p11	TP-10	p10	p9,p12,p8
TP-5	p5	p6,p7,p1	TP-11	p11	p10,p12,p4
TP-6	p6	p5,p7,p8	TP-12	p12	p10,p5

(c)

圖二 一個典型的(a)3D 資料匯流排、(b)等效的 2D 資料匯流排、(c)時序週期及各時序的源極端與汲極端

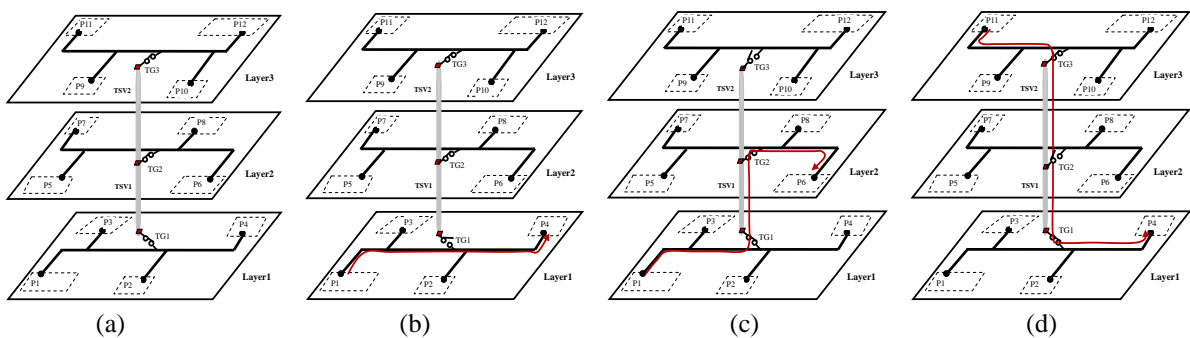
A. 區域匯流排負載效應之考量

如圖三(a)所示為三層疊接 3D IC 之資料匯流排結構，考量在同層次(區域資料匯流排)及不同層次(全域資料匯流排)之間資料傳播的情況。圖(b)為當資料只在 Layer1 之區域資料匯流排從 source 端 p1 傳送到 sink 端 p4，此時 Layer2 區域資料匯流排的總電容量 C_{BUS2} 及 Layer3 區域資料匯流排的總電容量 C_{BUS3} ，將額外增加 source 端 p1 資料傳播到 sink 端 p4 的電容負載量，導致降低資料存取時間，進而降低系統執行的效能；同理，圖(c)為當資料從 Layer1 之區域資料匯流排 source 端 p6 經由 TSV1 傳送到跨層次 Layer2 區域資料匯流排 sink 端 p6，此時 Layer3 區域資料匯流排的總電容量 C_{BUS3} ，也將額外增加 source 端 p1 資料傳播到 sink 端 p6 的電容負載量，導致降低資料存取速度；圖(d)為當資料從 Layer3 之區域資料匯流排 source 端 p11 經由 TSV2 與 TSV1 傳送到跨層次 Layer1 區域資料匯流排 sink 端 p4，此時 Layer2 區域資料匯流排的總電容量 C_{BUS2} ，也將額外增加 source 端 p11 資料傳播到 sink 端 p4 的電容負載量，導致降低資料存取速度，降低系統執行的效能。



圖三 (a)3D 資料匯流排結構，(b)、(c)、(d)為不同時序之資料傳送路徑及其他匯流排負載量之影響

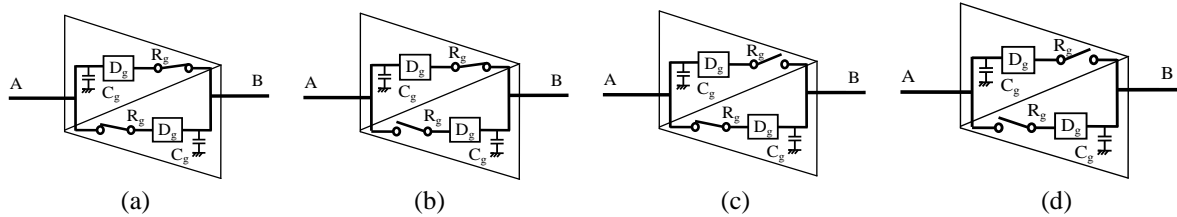
為了避免資料在同層次區域資料匯流排或不同層次全域資料匯流排間的傳送造成上述之所提之其他區域資料匯流排的總電容量的負載效應，需考量在不同時序作區域資料匯流排之隔離措施。如圖四(a)所示為三層疊接 3D IC 之資料匯流排結構，在每個區域資料匯流排與 TSV 之間附加三態傳輸閘開關 TG1~TG3 來決定是否連結或隔離。圖(b)為當資料只在 Layer1 之區域資料匯流排從 source 端 p1 傳送到 sink 端 p4，此時 Layer2 區域資料匯流排的總電容量 C_{BUS2} 及 Layer3 區域資料匯流排的總電容量 C_{BUS3} 都被三態傳輸閘開關 TG1 所隔離，而不會造成額外增加 source 端 p1 資料傳播到 sink 端 p4 的電容負載量，可避免降低資料存取時間；同理，圖(c)為當資料從 Layer1 之區域資料匯流排 source 端 p6 經由 TSV1 傳送到跨層次 Layer2 區域資料匯流排 sink 端 p6，此時 Layer3 區域資料匯流排的總電容量 C_{BUS3} 被三態傳輸閘開關 TG3 所隔離，而不會造成額外增加 source 端 p1 資料傳播到 sink 端 p6 的電容負載量，也可避免降低資料存取速度；圖(d)為當資料從 Layer3 之區域資料匯流排 source 端 p11 經由 TSV2 與 TSV1 傳送到跨層次 Layer1 區域資料匯流排 sink 端 p4，此時 Layer2 區域資料匯流排的總電容量 C_{BUS2} 被三態傳輸閘開關 TG2 所隔離，而不會造成額外增加 source 端 p11 資料傳播到 sink 端 p4 的電容負載量，可避免降低資料存取速度。



圖四 (a)具有三態傳輸閘開關之 3D 資料匯流排結構，(b)、(c)、(d)為不同時序之資料傳送路徑及具有隔離其他匯流排負載量之影響

B. 匯流排隔離開關

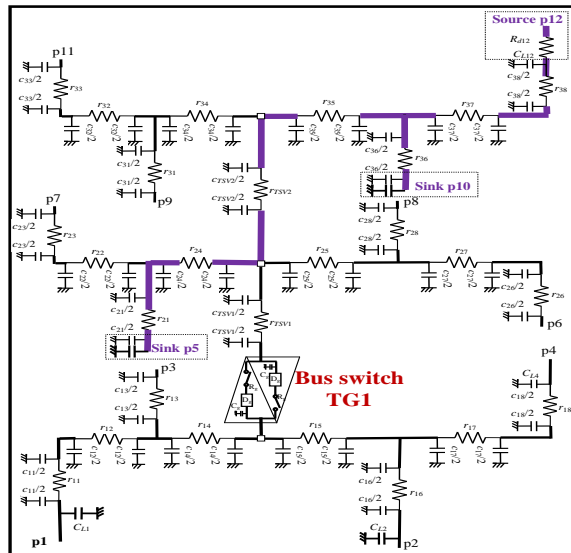
資料匯流排開關須為高速開關，之前應用於網路伺服器、點對點、點對多點之高速資料傳輸轉換介面，具有極低阻抗、極低之傳播延遲時間及超低靜態功率消耗，很適用於 3D 資料匯流排阻隔作用，減低未接收資料之匯流排的電容量之負載效應，降低此匯流排資料存取時間。本計畫參考 45nm Predictive Technology Model (<http://ptm.asu.edu/>) [10]所採用合理的資料匯流排三態傳輸開關如圖五所示，輸入電容量 C_g 為 1pF，傳播延遲時間 D_g 為 10ps，極低導通電阻 R_g 為零 Ω ；圖(a)為雙向傳輸，資料可由 A 傳送到 B 或由 B 傳送到 A，圖(b)為單向傳輸，資料只可由 A 傳送到 B，圖(c)為單向傳輸，資料只可由 B 傳送到 A，圖(d)為隔離傳輸，資料不能由 A 傳送到 B 或由 B 傳送到 A。



圖五 適用於資料匯流排三態傳輸開關，(a)雙向傳輸，(b)與(c)單向傳輸，(d)隔離傳輸

C. 等效電路延遲模式

整體的匯流排的連線等效電路延遲採用 Elmore π -RC 模型[11]，連線與重複器的製程參數採用多數已發表論文所參考之 45nm Predictive Technology Model (<http://ptm.asu.edu/>) [10]，每單位連線的電阻 r_w 與電容 c_w 分別為 $0.1\Omega/\mu\text{m}$ 與 $0.2\text{fF}/\mu\text{m}^2$ ，連線的電阻與電容大小隨著連線長度而增加；TSV 參數的電阻 r_{TSV} 與電容 c_{TSV} 分別為 0.035Ω 與 15.48fF ；單一大小重複器的參數其輸入電容 c_B 、延遲時間 D_B 與輸出電阻 r_B 分別為 122Ω 、17ps 與 24fF ，重複器的輸出電阻隨著重複器大小 s_B 增加而減少，即 r_B/s_B ，重複器的輸入電容隨著重複器大小 s_B 增加而增加，即 c_B*s_B ，但延遲時間 D_B 為固定，且不隨著重複器大小 s_B 而改變。如圖六所示為圖一之 source 端 p12 至 sink 端 p5 兼在 Layer1 插入匯流排隔離開關 TG1 的 RC 延遲模型等效電路。



圖六 Source 端 p12 至 sink 端 p5 兼在 Layer1 插入匯流排隔離開關 TG1 的 RC 延遲模型等效電路

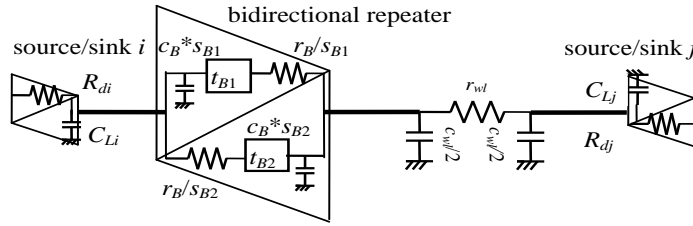
而區域資料匯流排中兩端點 i 與 j 之間存在傳輸連線路徑長度 w_l ， w_l 連線之 RC 模型的電阻為 r_w*w_l 及兩個半電容量為 $c_w*w_l/2$ ，從 source 端 i 到 sink 端 j 之存取時間 T_{ij} 為

$$T_{ij} = \sum R_{ik} C_k.$$

其中 k 為沿著 source 端 i 到 sink 端 j 之一個端點， R_{ik} 為沿著 source 端 i 到端點 k 之 RC 樹的共通電阻， C_k 為此 RC 樹之端點 k 之累積電容量(lumped capacitance)。

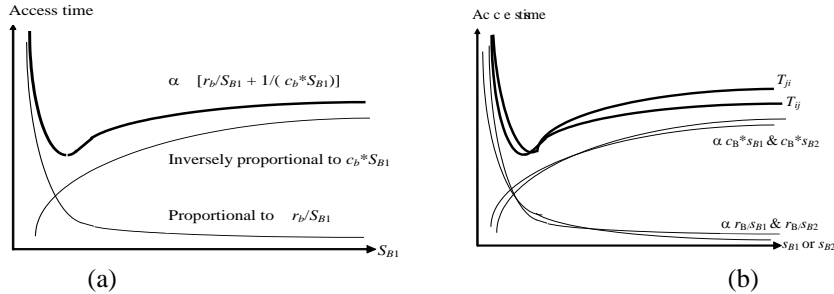
圖七所示為在區域資料匯流排中兩端點*i*與*j*之間插入一個雙向重複器，此重複器較接近於源極端*i*，且由兩個相對的單向重複器*B*₁與*B*₂並聯所組成，其大小分別為*S*_{B1}與*S*_{B2}，可作為雙向資料傳輸。因此，從*i*至*j*之資料存取時間為*T*_{ij}如下：

$$T_{ij} = R_{di}(C_{Li} + C_B * S_{B1}) + t_{B1} + r_B / S_{B1}(C_B * S_{B2} + C_{wl} + C_{Lj}) + r_{wl}(C_{wl} / 2 + C_{Lj})$$



圖七 兩端點*i*與*j*之間插入一個雙向重複器*B*，從source端*i*為傳送資料至sink端*j*的等效電路延遲模式

圖八所示為調整圖七中之雙向重複器大小將直接影響資料存取時間 *T*_{ij}，圖(a)為增加單向重複器 *B*₁ 的 *S*_{B1} 大小，將可降低其輸出電阻值 *r*_B/*S*_{B1} 進而降低資料存取時間 *T*_{ij}；然而也同時增加單向重複器 *B*₁ 的輸入電容量 *C*_B**S*_{B1} 進而增加資料存取時間 *T*_{ij}；相對地，調整另一個單向重複器 *B*₂ 的 *S*_{B2} 大小也對資料存取時間 *T*_{ij} 有對應的影響。因此，圖(b)為僅能適當地調整雙向重複器 *S*_{B1} 與 *S*_{B2} 的大小，使資料存取時間 *T*_{ij} 降至最低。圖九所示為一個手工計算資料存取時間的例子。



圖八 (a)只調整重複器 *S*_{B1} 大小對資料存取時間 *T*_{ij} 之影響 (b)同持調整重複器 *S*_{B1} 與 *S*_{B2} 大小對資料存取時間 *T*_{ij} 之影響

Source P₃ to Sink P₁ with inserted repeaters

⑤ $C_{A(5)} = 1481.915f + 9915f + 965f = 15829f$
 $D_{A(5)} = 24.4 \times 15829f + 12ps + 24.9847225ps = 260.7294825ps$

⑥ $C_{A(6)} = 1205f + 9955f = 12960f$
 $D_{A(6)} = 9.15 \times 12960f + 260.7294825ps = 262.0224825ps$

⑦ $C_{A(7)} = 129985f + 1005f + 9955f = 11399f$
 $D_{A(7)} = 1 \times 11399f + 1005ps + 262.0224825ps = 222.16285ps$

⑧ $C_{A(8)} = 10005f + 3245f = 100274f$
 $D_{A(8)} = 0.25 \times 100274f + 222.16285ps = 222.19265ps$

⑨ $C_{A(9)} = 24f$
 $D_{A(9)} = 250 \times 24f = 685ps$

⑩ $C_{A(10)} = 12ps + 685ps + 40.67 \times (24f + 20f) = 109.73932ps$

⑪ $C_{A(11)} = 250f + 22f = 322f$
 $D_{A(11)} = 250 \times 322f + 109.73932ps = 190.22932ps$

⑫ $C_{A(12)} = 222f + 250f + 900f + 9.935f = 1481.915f$
 $D_{A(12)} = 9.95 \times 1481.915f + 190.22932ps = 204.9847225ps$

⑬ $C_{A(13)} = 100274f + 224f + 224f \times 2 + 10005f + 10005f = 323096f$
 $D_{A(13)} = 1 \times 323096f + 1005ps + D_{A(12)} = 286.2286159ps$

⑭ $C_{A(14)} = 10005f + 125f = 1175f$
 $D_{A(14)} = 11.5 \times 1175f + D_{A(13)} = 991.8526159ps$

⑮ $C_{A(15)} = 1175f + 115f + 965f = 1446f$
 $D_{A(15)} = 122 \times 1446f + 12ps + D_{A(14)} = 685.2656159ps$

⑯ $C_{A(16)} = 24f + 125f = 199f$
 $D_{A(16)} = 12 \times 199f + D_{A(15)} = 720.0906159ps$

⑰ $C_{A(17)} = 965f + 150f = 266f$
 $D_{A(17)} = 150 \times 266f + D_{A(16)} = 872.116159ps$

⑱ $C_{A(18)} = 216f + 150f + 24f = 390f$
 $D_{A(18)} = 122 \times 390f + D_{A(17)} = 912.6916159ps$

⑲ $C_{A(19)} = 199f + 225f + 150f = 574f$
 $D_{A(19)} = 150 \times 574f + D_{A(18)} = 798.6906159ps$

⑳ $C_{A(20)} = 524f + 150f + 48f = 722f$
 $D_{A(20)} = 24.5 \times 722f + 12ps + D_{A(19)} = 922.2116159ps$

圖九 一個手工計算資料存取時間的例子

D. 問題定義

本計畫針對多層次 3D 疊接 SoC 在全域資料匯流排之資料存取時間提出最小化的解決方法，將使信號在 3D Stacked SoC 不同的時序下均能得到最少的信號存取時間，此問題描述與定義如下：

輸入：已知有多個層次(Multi-layer)以 TSVs 疊接組成一個 3D 系統晶片，每個層次(layer)含有數個 IP 模組且都有自己的區域資料匯流排(local data bus)，並以 TSV 將每個層次的區域資料匯流排(local data bus)疊接成為全域匯流排(global data bus)；已知有 p 個時序，每個時序可將信號從一個源極端(source)經由區域資料匯流排或全域匯流排同時傳送到多個汲極端(sinks)。

輸出：依照每個時序之信號從一個 source 端經由區域資料匯流排或全域匯流排同時傳送到多個 sink 端，決定插入適當雙向傳輸閘或匯流排開關(TG- Transmission gates or bus switches)來阻隔非必要的匯流排負載電容量及插入雙向可調整大小的重複器(repeater)來提升信號存取速度，使得其全域最大的信號存取時間為最小化。目標即為：

$\text{Min}(\text{Max}(T_{ij}))$ ， i 為 source 端， j 為 sink

限制：相鄰 layer 的區域資料匯流排以單一 TSV 疊接成為全域匯流排(global data bus)；雙向傳輸閘(TG- Transmission gate)的開或關之控制信號與時序控制信號相結合；可調整大小的重複器(repeater)之控制信號由匯流排傳播方向自動感知。且控制信號的延遲時間，直接影響資料存取時間很微小，甚至可忽略。

(三) 三維資料匯流排傳輸效能驅動建置於隔離開關與插入重複器之演算法

本計畫針對以上問題提出一個三維資料匯流排傳輸效能驅動，並建置於傳輸閘隔離開關與插入重複器及調整其大小，對最大的臨界傳播延遲時間做最小化之演算法 $3D_DataBus_MinMaxAccessTime()$ 如圖十所示，已經知道 n 為三維疊接 SoC 全域資料匯流排傳輸可被插入重複器位置的線段數目， p 為三維疊接 SoC 全域資料匯流排傳輸的時序數目，此演算法的函數 $Find_Critical_AccessTime(n,p,i)$ ，每次找到最大的臨界存取時間 $Critical_AccessTime$ 、其臨界傳輸路徑及源極端 i ，並嘗試在此傳輸路徑之源極端 i 旁嘗試插入重複器，並以函數 $RepeaterSizing()$ 調整其重複器大小，直到此 $Critical_AccessTime$ 降低至不能再降為止。以上的動作一直重複到不能再改進為止，最後可得到最大的臨界資料存取時間之最小化結果。

副程式 $Find_Critical_AccessTime(n,p,i)$ 如圖十一所示每次找出最大的臨界資料存取時間 $Critical_AccessTime$ 、其臨界傳輸路徑及源極端 i ，在所有的時序週期 p 下，每次時序之資料存取從 source 端 i 到 sink 端 j ，考量其存取路徑來決定經過的匯流排線段、TSV 及傳輸閘開關隔離其他匯流排的電容負載量，決定其等效 RC 延遲時間模式，並計算出其資料存取時間 T_{ij} 及記錄此傳輸路徑之源極端 i 。

副程式 $RepeaterSizing(s_{Bi})$ 如圖十二所示，每次對目前重複器大小做單向調整由最小值 1 至最大值 M 的適當值，以儘量減少最大的臨界資料存取時間，而每次取一個重複器大小的值就須計算所有時序的 source 端 i 到多重 sink 端 j 經歷全域匯流排所有線段 n 的資料存取時間，而尋求最大的臨界資料存取時間。

```

3D_DataBus_MinMaxAccessTime ()
{
  /* A bus topology with the number of  $m$  terminals,  $n$  segments,
    and  $p$  timing periods. */
  Scan a 3D data bus topology and construct its data structure.
  Insert bus switches between TSVs and local buses located on
  the critical access path.
  repeat
     $Critical\_AccessTime = \mathbf{Find\_Critical\_AccessTime}(p,n,i)$ ;
    /*  $i$  is the return source terminal that is also the driving repeater
      along the critical access timing path.*/
     $pre\_Critical\_AccessTime = Critical\_AccessTime$ ;
     $reduce\_AccessTime = MAX$ ;
    repeat
      Let  $B_i$  be a repeater inserted possibly into the adjacent source
      terminal  $i$ ;
       $s_{Bi1} = s_{Bi2} = 1$ ;
       $sizing\_AccessTime = \mathbf{RepeaterSizing}(s_{Bi1})$ ;
      if ( $sizing\_AccessTime < reduce\_AccessTime$ )
         $reduce\_AccessTime = sizing\_AccessTime$ ;
       $sizing\_AccessTime = \mathbf{RepeaterSizing}(s_{Bi2})$ ;
      if ( $sizing\_AccessTime < reduce\_AccessTime$ )
         $reduce\_AccessTime = sizing\_AccessTime$ ;
    until no improvement in sizing the repeater  $B_i$ 

    if ( $reduce\_AccessTime < Critical\_AccessTime$ )
    {
       $Critical\_AccessTime = reduce\_AccessTime$ ;
      Store the inserted repeater  $B_i$  including location and sizes.
    }
    if ( $Critical\_AccessTime < pre\_Critical\_AccessTime$ )
      Store all inserted repeater data including locations and sizes.
  until  $Critical\_AccessTime \geq pre\_Critical\_AccessTime$ 
}

```

圖十 三維資料匯流排對最大的臨界資料存取時間做最小化之演算法

```

Find_Critical_AccessTime ( $n,p,i$ )
/*  $n$  is the number of bus segments,  $p$  is the number of different timing periods, and  $i$  is the return
source terminal that is also the driving repeater along the critical access timing path.*/
Begin
{
   $critical\_delay = MIN$ ;
  for ( $m = 1$  to  $p$ )
  {
    Let  $i$  be source and  $j$  be sink for current timing period  $p_m$ ;
    Construct the RC-based equivalent delay model for  $n$  segments with considering
    transmission gated switches for isolating unnecessary bus loading capacitance.
    Calculate the current delay  $current\_delay$ , i.e.,  $T_{ij}$  from sink  $j$  backtracking to source  $i$ ;
    if ( $current\_delay > critical\_delay$ )
    {
       $critical\_delay = current\_delay$ ;
      Store  $critical\_delay$  and the driving source terminal  $i$  along the current critical path;
    }
  }
  Return  $critical\_delay$  and source terminal  $i$ ;
}
End

```

圖十一 計算最大的臨界存取時間之副程式

```

RepeaterSizing ( $s_{Bi}$ )
/*  $s_{Bi}$  is the size of a unidirectional repeater inserted into source driver  $i$  of the current critical path */
Begin
{
  for  $y = 1$  to  $M$ 
  {
     $adjust\_critical\_delay = \max(T_{ij} \text{ from multiple sources } i \text{ to multiple sinks } j \text{ in } s_{Bi} = \text{size } y)$ 
  }
  return  $adjust\_critical\_delay$  and size  $s_{Bi}$ 
}
End

```

圖十二 調整插入重複器的大小之副程式

三維資料匯流排對最大的臨界資料存取時間做最小化之整體演算法的時間複雜度分析如下：副程式 $Find_Critical_AccessTime(n,p,i)$ 為從所有時序 p 之資料傳輸多重 source 端 i 到多重 sink 端 j ，每次時序之資料傳輸多重 source 端 i 到多重 sink 端 j 最多將經歷全域匯流排所有線段的平方，即 n^2 ，因此副程式 $Find_Critical_AccessTime()$ 之時間複雜度為 $O(p*n^2)$ ；另一副程式 $RepeaterSizing(s_{Bi})$ 為調整重複器大小由最小值 1 至最大值 M 的適當值，以儘量減少

最大的臨界資料存取時間，而每次取一個重複器大小的值就須計算所有時序的 source 端 i 到多重 sink 端 j 經歷全域匯流排所有線段 n 的資料存取時間，而尋求最大的臨界資料存取時間，因此 *RepeaterSizing()* 之時間複雜度為 $O(M * p * n^2)$ 。所以，三維資料匯流排對最大的臨界資料存取時間做最小化之整體演算法 *3D_DataBus_MinMaxAccessTime()* 的時間複雜度為 $O(M * p * n^2)$ 。

(四) 實驗結果與討論

本實驗使用 C 語言來實現所提出的演算法在硬體配備 Intel® i7 CPU@2.7GHz, dual cores with 8GB RAM，執行於 MS-Windows 10，本實驗所用的相關 Elmore RC delay model 參數為如表一所示使用 45nm 製程[10]， r_w 與 c_w 分別代表單一線段(unit-length wire)的電阻值與電容量， r_{TSV} 與 c_{TSV} 分別代表單一貫穿孔(a TSV)的電阻值與電容量， r_B 、 c_B 與 t_B 分別代表單一重複器(unit-size repeater)的輸出電阻值、輸入電容量與內部延遲， r_G 、 c_G 與 t_G 分別代表單一匯流排開關(a bus switch)的導通電阻值、輸入電容量與內部延遲。

表一 45nm 製程之參數

a unit-repeater		a bus switch		a wire		a TSV	
r_B	122 Ω	r_G	1 Ω	r_w	0.1 Ω/\square	r_{TSV}	0.035 Ω
c_B	24 fF	c_G	1000 fF	c_w	0.2 fF/ μm^2	c_{TSV}	15.48 fF
t_B	17 ps	t_G	10 ps	-	-	-	-

因至今沒有 3D 拓樸匯流排的標準測試例子，我們自行創造了五個不同型的 3D 三層拓樸匯流排例子，Test3、CaseF、CaseG、CaseH 與 CaseJ，來測試所提出的演算法，其中第一個例子 Test3 正是我們用來解釋整篇計畫內容之引用圖。表二為這五個不同型的 3D 拓樸匯流排例子初步實驗結果，具有插入源驅動重複器(source-driving repeaters)與調整其大小，但沒有考量插入匯流排開關(bus switches)。表二中， $Tlength$ 與 $Term$ 分別代表 3D 拓樸匯流排之總線段長度(the total length)與總源極及汲極端點數量(the number of terminals)， Tim 與 Per 分別代表 3D 拓樸匯流排之時序數(the number of timings)與時序周期數(the number of timing periods)， $Tcri$ 與 $Tmax$ 分別代表 3D 拓樸匯流排之未考量與考量具有插入源驅動重複器(source-driving repeaters)之臨界資料存取時間(the critical data access times)， $Dsou$ 與 $Sizes$ 分別代表插入源驅動重複器的總數量(the total number of inserted source-driving repeaters)與單位數量大小， $Ctime$ 為執行 CPU 的時間， $Saving$ 為臨界資料存取時間之節省百分比(the percentage of $(Tcir-Tmax)/Tcri$)。實驗結果之條件為所有源極端的輸出驅動電阻值 R_d 與汲極端負載電容量 C_L 均假設為單一元件大小，插入源驅動重複器之可調整大小的最大值 M 為 16 個單位元件大小，即 $M \leq 16$ 。從表二實驗結果，對一個 3D 三層拓樸匯流排例子，具有插入源驅動重複器(source-driving repeaters)與調整其大小，但沒有考量插入匯流排開關(bus switches)，其平均臨界資料存取時間可節省 10.88%，平均執行時間為 0.073s，但只付出平均源驅動重複器為 32 單元大小；而值得注意的例子 CaseF 與 CaseJ，它們具有較大的總線段長度，其臨界資料存取時間可節省較小 10.88%，主因為較大的總線段長度具有相當的電容負載，減少臨界資料存取時間也因此較有限。

表二 3D 拓樸匯流排例子實驗結果，具有插入源驅動重複器，但未考量插入匯流排開關

	$Tlength$	$Term$	Tim/Per	$Tcri(ns)$	$Tmax(ns)$	$Dsou/Per$	$Sizes$	$Ctime$	$Saving$
Test3	32326 μm	12	36/12	4.294	3.786	10/12	32	0.090s	12.14%
CaseF	60461 μm	15	34/15	11.005	9.947	15/15	46	0.138s	9.61%
CaseG	43751 μm	10	6/6	4.088	3.591	4/6	21	0.010s	12.87%
CaseH	42770 μm	9	6/6	7.392	6.587	4/6	20	0.010s	11.20%
CaseJ	56006 μm	21	24/19	10.755	9.834	14/19	42	0.118s	8.57%
Average				-			32	0.073s	10.88%

表三為這五個不同型的 3D 拓樸匯流排例子之實驗結果，具有插入源驅動重複器 (source-driving repeaters) 與調整其大小及考量插入匯流排開關 (bus switches)，其平均臨界資料存取時間可節省 11.07%，平均執行時間為 0.077s，但只付出平均源驅動重複器為 25 單元大小。雖然其平均實驗結果與表二之結果差不多，但表三之每個例子的臨界資料存取時間均較表二之每個例子的臨界資料存取時間少了很多。

表三 3D 拓樸匯流排例子實驗結果，具有插入源驅動重複器與匯流排開關

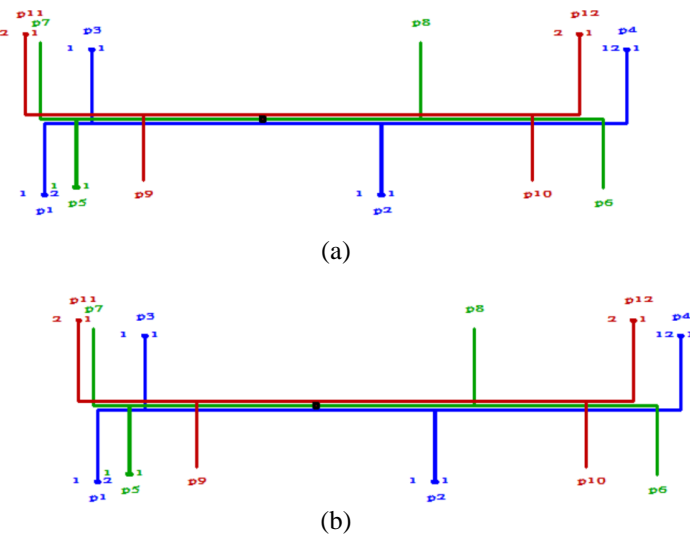
	<i>Tlength</i>	<i>Term</i>	<i>Tim/Per</i>	<i>Tcri(ns)</i>	<i>Tmax(ns)</i>	<i>Dsou/Per</i>	<i>Sizes</i>	<i>Ctime</i>	<i>Saving</i>
Test3	32326 μ m	12	36/12	2.073	1.818	7/12	28	0.121s	12.31%
CaseF	60461 μ m	15	34/15	5.367	4.862	9/15	34	0.120s	9.79%
CaseG	43751 μ m	10	6/6	2.503	2.200	4/6	18	0.016s	12.13%
CaseH	42770 μ m	9	6/6	3.189	2.823	3/6	17	0.015s	12.19%
CaseJ	56006 μ m	21	24/19	4.736	4.313	6/19	25	0.111s	8.94%
Average			-				25	0.077s	11.07%

表四為這五個不同型的 3D 拓樸匯流排例子具有插入匯流排開關 (bus switches) 與未具有插入匯流排開關之實驗結果比較，其平均臨界資料存取時間可節省高達 51.02% 及平均源驅動重複器大小可節省高達 21.67%。而值得注意的例子 CaseF 與 Case J，它們具有較大的總線段長度，其臨界資料存取時間與源驅動重複器可節省百分比較明顯，主因為較大的總線段長度具有相當的電容負載，考量插入匯流排開關以隔離電容負載額外的延遲。

表四 3D 拓樸匯流排例子具有與未具有插入匯流排開關之實驗結果比較

	<i>Tlength</i>	<i>Term</i>	<i>Tim/Per</i>	<i>wo-Tmax(ns)</i>	<i>w-Tmax(ns)</i>	<i>wo-Sizes</i>	<i>w-Sizes</i>	<i>Tmax-Saving</i>	<i>Size-Saving</i>
Test3	32326 μ m	12	36/12	3.786	1.818	32	28	51.98%	12.50%
CaseF	60461 μ m	15	34/15	9.947	4.862	46	34	51.12%	26.09%
CaseG	43751 μ m	10	6/6	3.591	2.200	21	18	38.74%	14.28%
CaseH	42770 μ m	9	6/6	6.587	2.823	20	17	57.14%	15.0%
CaseJ	56006 μ m	21	24/19	9.834	4.313	42	25	56.14%	40.48%
Average			-					51.02%	21.67%

圖十三(a)與(b)所示分別為 3D 三層拓樸匯流排例子 Test3 與 CaseF 之結果，對拓樸匯流排例子 Test3 而言，具有插入源驅動重複器與匯流排開關從源極端 p4 到汲極端 p11 之臨界資料存取時間為 1.818ns；對拓樸匯流排例子 CaseF 而言，具有插入源驅動重複器與匯流排開關從源極端 p15 到汲極端 p4 之臨界資料存取時間為 4.862ns；靠近每個源極驅動重複器之兩個數字為插入雙向源驅動重複器之大小，而單一數字為插入單向源驅動重複器之大小。



圖十三 (a)與(b)分別為 3D 三層拓樸匯流排例子 Test3 與 CaseF 之實驗結果

(五) 結論

對一個典型的 3D 拓樸匯流排例子而言，考量具有插入匯流排開關(bus switches)確實可以隔離不需要的匯流排的電容負載量，且有效地提升臨界資料存取時間，增加 3D 晶片的執行效能；尤其對於未來較多層次資料匯流排，每次資料穿梭於 3D 拓樸匯流排，總有至少一層未使用到的本地資料匯流排，可適時地以匯流排開關來隔離其負載電容量，降低臨界資料存取時間。所提出之方法，未來也適用於更多變化之 3D 多層次拓樸匯流排型態。

三、參考文獻

- [1] EE Times, The State of the Art in 3D IC Technologies, Nov. 27, 2013.
- [2] AMBA specification Rev2.0, ARM Co., May 1999.
- [3] T. Seceleanu, "Communication on a segmented bus platform," *The 17th IEEE SOC Conference*, pp. 205-208, Sep. 2004.
- [4] S. H. Chitra and A. Kandaswamy, "A high performance on-chip segmented bus architecture using dynamic bridge-y-pass technique," *International Conf. on Industrial and Information Systems*, pp. 249-254, July 2010.
- [5] Chia-Chun Tsai, De-Yu Kao, Chung-Kuan Cheng, and Ting-Ting Lin, "Performance Driven Multiple-Source Bus Synthesis Using Buffer Insertion," *ASP-DAC'95*, pp. 273-278, August 1995.
- [6] Chia-Chun Tsai, De-Yu Kao, and Chung-Kuan Cheng, "Performance Driven Bus Buffer Insertion," *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 15, No. 4, April 1996, pp. 429-437.
- [7] Kyoungrok Cho, Hyeon-Seok Na, Tae Won Cho, and Younggap You, "Analysis of system bus on SoC platform using TSV interconnection," *The 4th Asia Symposium on Quality Electronic Design*, pp. 255-259, 2012.
- [8] S. S. Sheu, Z. H. Lin, C. S. Lin, J. H. Lau, S. H. Lee, K. L. Su, T. K. Ku, S. H. Wu, J. F. Hung, P. S. Chen, S. J. Lai, W. C. Lo, and M. J. Kao, "Electrical Characterization of Through Silicon Vias (TSVs) with an On Chip Bus Driver for 3D IC Integration," *IEEE 62nd Electronic Components and Technology Conference*, pp. 851-856, 2012.
- [9] Chia-Chun Tsai, "Repeater Insertion for 3D Data Bus with TSVs for Reducing Critical Propagation Delay," *International Conference on Computer Science and Information Engineering*, pp. 203-208, June 2015.
- [10] Tak-Yung Kim and Taewhan Kim, "Clock tree synthesis with pre-bond testability for 3D stacked IC designs," *IEEE/ACM Design Automation Conference*, pp. 723-728, 2010.
- [11] W. C. Elmore, "The transient response of damped linear networks with particular regard to wide-band amplifiers," *Journal of Applied Physics*, 19(1), pp. 55-63, Jan. 1948.

四、計畫成果自評

科技部補助專題研究計畫成果自評表

請就研究內容與原計畫相符程度、達成預期目標情況、研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）、是否適合在學術期刊發表或申請專利、主要發現（簡要敘述成果是否具有政策應用參考價值及具影響公共利益之重大發現）或其他有關價值等，作一綜合評估。

<p>1. 請就研究內容與原計畫相符程度、達成預期目標情況作一綜合評估</p> <p><input checked="" type="checkbox"/> 達成目標</p> <p><input type="checkbox"/> 未達成目標（請說明，以 100 字為限）</p> <p><input type="checkbox"/> 實驗失敗</p> <p><input type="checkbox"/> 因故實驗中斷</p> <p><input type="checkbox"/> 其他原因</p> <p>說明：</p>
<p>2. 研究成果在學術期刊發表或申請專利等情形(請於其他欄註明專利及技轉之證號、合約、申請及洽談等詳細資訊)</p> <p>論文：<input checked="" type="checkbox"/>已發表(國際會議論文)<input type="checkbox"/>未發表之文稿 <input type="checkbox"/>撰寫中 <input type="checkbox"/>無</p> <p>專利：<input type="checkbox"/>已獲得<input type="checkbox"/>申請中 <input type="checkbox"/>無</p> <p>技轉：<input type="checkbox"/>已技轉<input type="checkbox"/>洽談中 <input type="checkbox"/>無</p> <p>其他：（以 200 字為限）</p> <p>1. Chia-Chun Tsai, "Minimizing Critical Access Time for 3D Data Bus Based on Inserted Bus Switches and Repeaters," IEEE Computer Society Annual Symposium on VLSI (ISVLSI), Paper ID:54, July 3-5, 2017, Bochum, Germany.</p>
<p>3. 請依學術成就、技術創新、社會影響等方面，評估研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性，以 500 字為限）。</p> <ul style="list-style-type: none">● 提升一顆三維疊接積體電路(3D IC)資料匯流排資料存取速度<ul style="list-style-type: none">a. 發現三維匯流排資料存取時，有些不被存取的匯流排佔去額外的電容負載。b. 提出在匯流排與 TSV 插入 bus switches 作為隔離不被存取的匯流排佔去額外的電容負載，以降低資料存取時間。● 適用領域：<ul style="list-style-type: none">a. 三維疊接積體電路之 EDA 系統之實體設計b. 三維疊接積體電路資料匯流排之效能驅動的策略。c. 三維疊接積體電路資料匯流排之最佳存取時間的最小化。
<p>4. 主要發現</p> <p>本研究具有政策應用參考價值：<input checked="" type="checkbox"/>否 <input type="checkbox"/>是，建議提供機關_____</p> <p>（勾選「是」者，請列舉建議可提供施政參考之業務主管機關）</p> <p>本研究具影響公共利益之重大發現：<input checked="" type="checkbox"/>否 <input type="checkbox"/>是</p> <p>說明：(以 150 字為限)</p>

科技部補助專題研究計畫出席國際學術會議心得報告

日期： 106 年 8 月 16 日

計畫編號	MOST 105 - 2221 - E - 343 - 004		
計畫名稱	匯流排效能驅動以隔離開關與插入重複器整合方法應用於三維疊接積體電路 3D Data Bus Performance Driven Based on Integration of Isolated Switches and Inserted Repeaters		
出國人員姓名	蔡加春	服務機構及職稱	南華大學資工系教授
會議時間	106年7月3日 至 106年7月5日	會議地點	德國波鴻魯爾大學
會議名稱	2017年超大型積體電路國際研討會 IEEE Computer Society Annual Symposium on VLSI		
發表題目	三維資料匯流排插入匯流排開關及重複器達到臨界存取時間之最小化 Minimizing Critical Access Time for 3D Data Bus Based on Inserted Bus Switches and Repeaters		

● 參加 2017 年超大型積體電路國際研討會議經過及與會心得

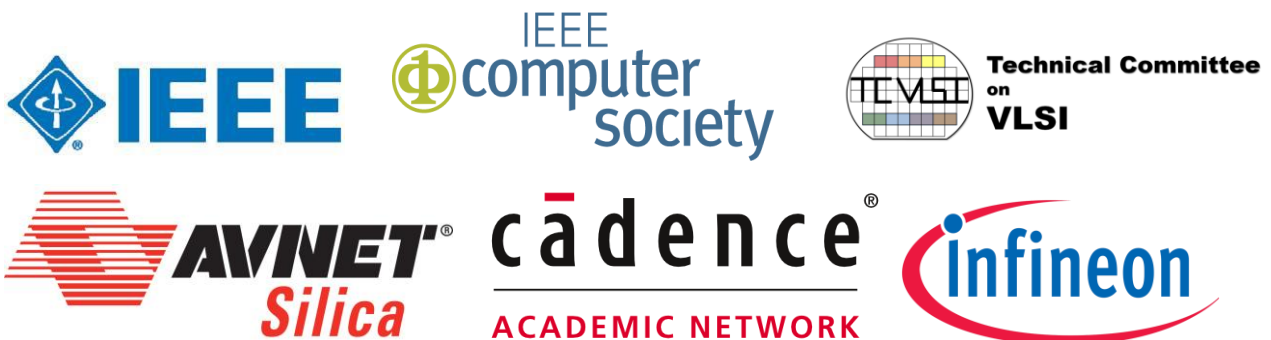


**IEEE Computer Society Annual Symposium on VLSI
ISVLSI 2017, July 3-5, 2017, Bochum, Germany**



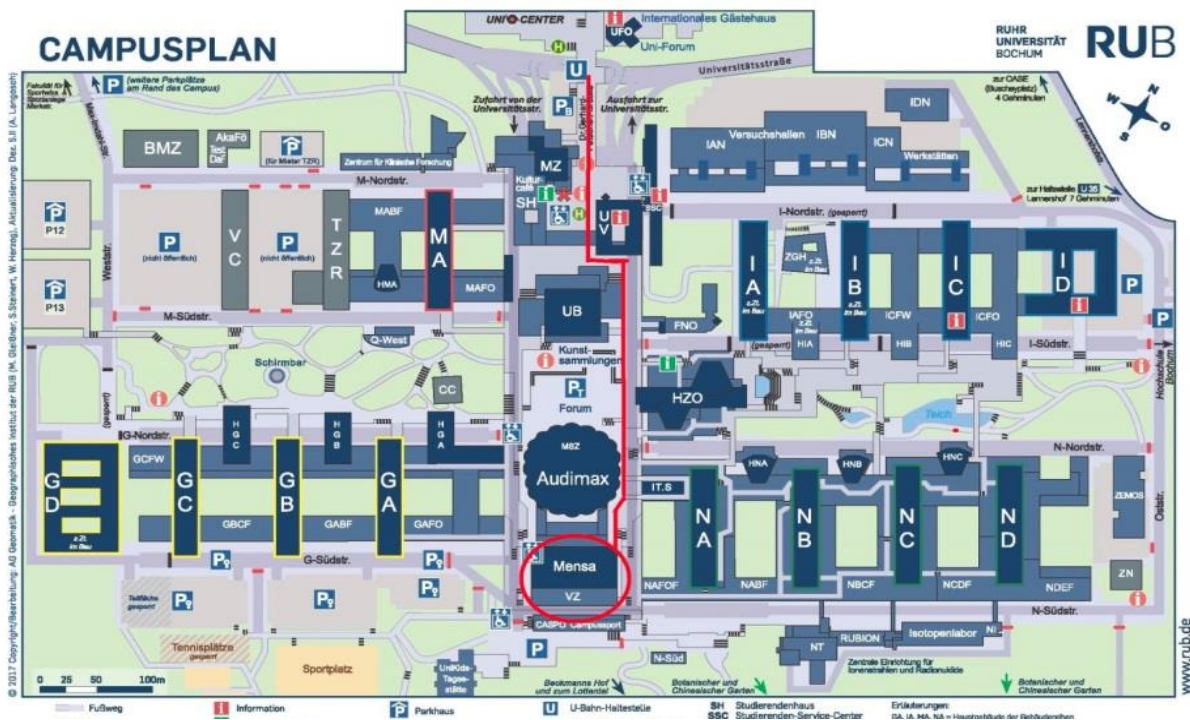
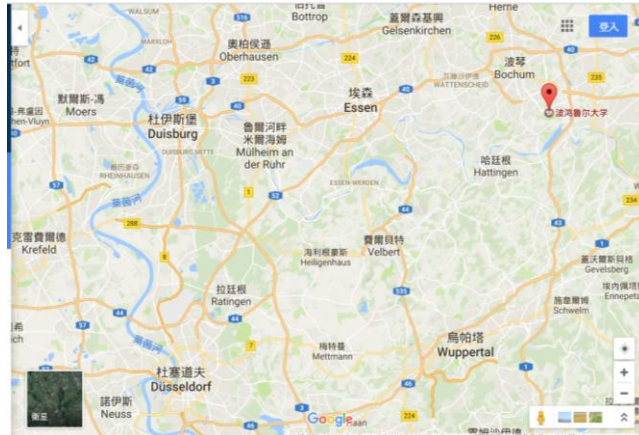
IEEE 計算機協會辦理一年一度的超大型積體電路國際研討會 (IEEE Computer Society Annual Symposium on VLSI, 2017)，今年已進入第 16 個年度了，ISVLSI 為一個兼具品質又多元專業的超大型積體電路交流平台技術研討會，交流領域範圍很廣，包含超大型積體電路(VLSI circuits)、系統與設計方法 (systems and design methods) 從系統層設計(system level design)到系統晶片議題 (system-on-chip issues)、從系統方法到奈米與晶體元件(nano- and molecular devices)的新領域與新技術、MEMS、及量子計算等；未來設計方法與技術也是研討會關鍵主題之一，甚至含蓋新的電子設計自動化工具(EDA tools)的趨勢。在過去三十年來，此國際研討會提供給此 VLSI 領域的業界、學術界、研究人員、工程師及服務資訊系統技術應用者等很好的經驗交流的機會。

ISVLSI 2017 的主要舉辦單位為 IEEE Computer Society 及相關承辦單位與技術支援單位如下圖等。





今年於2017年7月3日至5日在德國波鴻之魯爾大學(Ruhr-University Bochum, RUB, 地址: Universitätsstrasse 150, 44801 Bochum, Germany)國際會議廳舉行。



此研討會議包含下列幾個主題為 Emerging Trends in VLSI, Nanoelectronics, Molecular, Biological and Quantum Computing, MEMS, VLSI Circuits and Systems, Field-programmable and Reconfigurable Systems, System Level Design, System-on-a-Chip Design, Application-Specific Low Power, VLSI System Design, System Issues in Complexity, Low Power, Heat Dissipation, Power Awareness in VLSI Design, Test and Verification, Mixed-Signal Design and Analysis, Electrical/Packaging Co-Design, EDA, Physical Design, creating and sharing IP 等。這些主題的論文將以口頭報告及海報展示。

議程委員會還邀請一些知名學者與產業專家參與，並辦理相關 Keynote addresses, panels 及 special sessions 等，甚至還有鼓勵專屬於歐洲專題計畫 (European Projects Section) 近期已完成或雛型想法者，共同來參與。另外，更鼓勵研究生來參加 Ph.D Forum，出國參加產業界與學術界交流機會，了解產業界與學術界代表在系統設計與設計自動化的現況，增廣見聞，有助於未來進入職場上的準備，甚至直接 Job seeking；研究生參加的條件必須是其論文為在一年內已完成或一年內即將完成者。ISVLSI 2017 將遴選 10 位研究生與安排在會議上作口頭發表論文及海報論文展示等，前五位優秀研究生 (Top 5 PhD works) 則提供註冊費 50% 折扣，甚至議程委員會 (TCVLSI) 另外提供三位研究生旅行補助申請，每位 250 歐元。

ISVLSI 2017 國際研討會共有三場 Keynote speeches 及一場 Distinguished lecture，論文發表計有 19 個 Sessions 與 5 個 Special sessions，同一時間有 3 個 sessions 同時進行，每個 session 約有七篇論文口頭發表，Full paper 發表時間約 20~25 分鐘，Short paper 發表時間為 15 分鐘，但所有 short papers 還安排在第二天有一小時 (16:00~17:00) 的 poster 時間，所有錄取的論文將被 IEEE 所出版，且都可在 [IEEE eXplore](#) 被檢索。

今年 ISVLSI 2017 所收到的投稿論文數達 212 篇，接受 67 篇為全論文 (regular paper) 及 37 篇為短論文 (short paper)，全論文 (regular paper) 接受率為 32%，整體全論文與短論文的接受率為 49%，低於二分之一，全論文與短論文的內容均可為 6 pages，且均為口頭報告，時間分配分別為 20-25 分鐘與 15 分鐘，令所有短論文還被安排額外一小時的 poster 時間，所有論文分布為下列六個子題：

- 1) 類比與混合信號電路 (Analog and Mixed-Signal Circuits, AMS)
- 2) 電腦輔助設計與驗證 (Computer-Aided Design and Verification, CAD)
- 3) 數位電路與 FPGA 設計 (Digital Circuits and FPGA based Designs, DCF)
- 4) 新興與後 CMOS 技術 (Emerging and Post-CMOS Technologies, EPT)
- 5) 系統設計與安全性 (System Design and Security, SDS)
- 6) 測試、可靠度與容錯 (Testing, Reliability, and Fault-Tolerance, TRF)

ISVLSI 2017 國際研討會之議程時序表如下圖。

ISVLSI 2017 Program Outline				
Monday, July 3rd 2017	8:30 AM - 9:30 AM	Keynote # 1		
	9:30 AM - 10:00 AM	Coffee Break	Coffee Break	Coffee Break
	10:00 AM - 12:00 PM	Session 01: Digital Circuits and FPGA based Designs I	Session 02: Emerging and Post-CMOS Technologies I	Session 03: System Design and Security I
	12:00 PM - 1:00 PM	Lunch		
	1:00 PM - 3:00 PM	Session 04: Digital Circuits and FPGA based Designs II	Session 05: Emerging and Post-CMOS Technologies II	Session 06: System Design and Security II
	3:00 PM - 3:30 PM	Coffee Break	Coffee Break	Coffee Break
	3:30 PM - 5:00 PM	Session 07: Digital Circuits and FPGA based Designs III	Session 08: Student Research Forum	Session 09: System Design and Security III
	6:00 PM - 8:00 PM	Welcome Reception		
Tuesday, July 4th 2017	8:30 AM - 9:30 AM	Keynote # 2		
	9:30 AM - 10:00 AM	Coffee Break	Coffee Break	Coffee Break
	10:00 AM - 12:00 PM	Session 10: Testing, Reliability, and Fault-Tolerance I	Session 11: Research Projects	Session 12: System Design and Security IV
	12:00 PM - 1:00 PM	Lunch		
		ISVLSI Steering Committee Meeting		
	1:00 PM - 2:00 PM	Distinguished Lecture		
	2:00 PM - 4:00 PM	Session 13: Testing, Reliability, and Fault-Tolerance II	Session 14: Computer-Aided Design and Verification I	Session 15: System Design and Security V
	4:00 PM - 5:00 PM	Poster Session		
6:00 PM - 9:00 PM	Rhine Boat Trip			
Wednesday, July 5th 2017	8:30 AM - 9:30 AM	Keynote # 3		
	9:30 AM - 10:00 AM	Coffee Break	Coffee Break	Coffee Break
	10:00 AM - 12:00 PM	Session 16: Analog and Mixed-Signal Circuits I	Session 17: Computer-Aided Design and Verification II	Special Session 01: Post CMOS Computing - Emerging Technologies and Design Issues
	12:00 PM - 1:00 PM	Lunch		
	1:00 PM - 3:00 PM	Session 18: Analog and Mixed-Signal Circuits II	Special Session 02: Emerging Computing Paradigms for Energy-Efficient and Secure IoT Devices	Special Session 03: Innovation in Memory Technologies and Their Applications
	3:00 PM - 3:30 PM	Coffee Break	Coffee Break	Coffee Break
	3:30 PM - 5:30 PM	Session 19: Analog and Mixed-Signal Circuits III	Special Session 04: Emerging and Secured Applications of IoT (Internet of Things)	Special Session 05: Adaptive Circuits and Systems for Machine Intelligence: The role of adaptive circuits and systems in emerging intelligent systems and networks
	5:30 PM - 6:00 PM	Closing Remarks and Award Ceremony		

第一天(July 3)的 Keynote speech 為 University of Leuven 的 Prof. Georges Gielen 所主講題目為 ” **Electronic circuit design for the smart world era**”



此 talk 介紹奈米電子與半導體技術的相關演進與快速發展，讓人們更進入聰慧的世界，且衝擊我們人類日常生活、工作及角色扮演等，如遠端醫療照護與監控、更舒適的環境、雲端的服務、自動駕駛、工業 4.0 等等，在這樣的演變下，此 talk 更聚焦在這些新興發展的電子電路設計與系統所面臨的核心挑戰與可能解決的方法，並朝向高效率、低價位與高產值的設計與系統技術，並舉例一些實際 IC 於感測應用的例子。

第二天(July 4)的 Keynote speech 為 Vice President, Cadence, Field Engineering EMEA 的 Mr Jens C. Werner 所主講題目為”**History and Future of Megatrends in EDA industry**”



Mr. Werner 在慕尼黑的 Cadence 分公司有 25 年工作經驗，從應用工程師提升到現在 Field Engineering EMEA 的副總裁，對 Field Engineering 與 Services 之工程與領導非常熟悉，更是 Cadence 在系統設計之重要決策者，並經常與學術界及其他產業界有所交流；此 Talk 陳述他 25 年來的工作經驗與挑戰，很難得的系統設

計長期參與者之現身說法。

第二天(July 4)下午的 Distinguished lecture 為 Dr. Rajiv Joshi 所主講題目為” Pushing the Limits of Technology, Circuit and Applications for Sub-nm Low Power Design”



此 talk 介紹功率消耗成為一個關鍵性，尤其是當處理器的工作頻率高到某個程度時，為了完成低功率系統電路，相關技術的共同設計是必須的。此 Talk 的焦點放在奈米製程之超大型積體電路設計，如何兼顧低功率與高效能是不容易的事，尤其半導體技術已轉移至鰭式電晶體(FinFET)及 Trigate 的主流。此 Talk 分析很多低功率消耗設計的演進及方法，並給予一些可減低消耗功率的技術注意事項，如減低漏電功耗(leakage power)、短路功耗(short circuit power)、碰撞功耗(collision power)等，其他改善方法如使用閘鐘脈波(clock gating)、閘功耗控制(power gating)、較長通道(longer channel)、多臨界電壓(multi-Vt design)、推疊(stacking)等，甚至低功率消耗的記憶體亦應考量。

第三天(July 5)的 Keynote speech 為 University of Utah 的 Dr. Pierre-Emmanuel Gaillardon 所主講題目為 ” What About Increasing the Functionality of Devices Rather Than Scaling Them?”



此 Talk 介紹新興奈米半導體製程技術的挑戰，如何跨越莫爾定律(Moore's law)的限制。此新興電晶體的結構為三獨立閘場效電晶體，即 TIGFET (Three-Independent-Gate Field Effect Transistor)，它具有下列的操作功能與特性：1. 元件極性的可動態重組，2. 臨界電壓可動態控制，3. 次臨界斜率跨越熱限制可動態控制。這些特性要能實際應用在 CMOS 現有製程，則必須結合與增進電子設計自動化工具(EDA tools)。

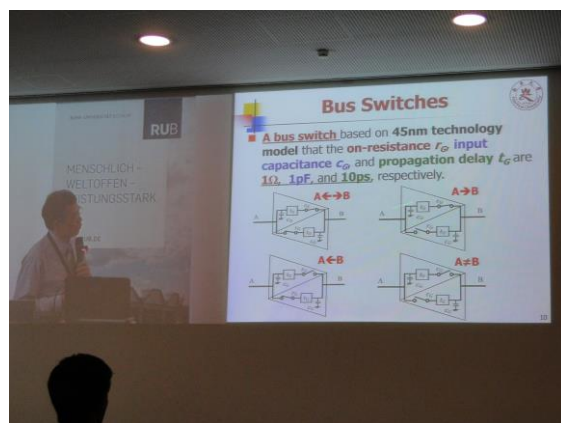
此國際研討會開幕典禮如下，由 General Chair 德國波鴻 魯爾大學(RUB) Prof. Michael Hubner 主持，接著 Program Chair 美國維吉尼亞大學(Univ. of Virginia) Prof. Mircea Stan 主持，如下圖。





台灣有七篇論文發表，主要來自於交大陳宏明教授、清大黃錫瑜教授、中正大學林伯宏教授、東華大學、元智大學林榮彬教授及南華大學蔡加春教授等，四篇為 Regular papers，部分論文與國外大學合作，三篇為 Short papers。

本人有一篇單獨作者的 Short paper：“Minimizing Critical Access Time for 3D Data Bus Based on Inserted Bus Switches and Repeaters” 做 15 分鐘口頭論文發表及參與 1 小時的共同海報發表，並與大家有一些互動與討論，如下圖。



同時也參與聆聽 Session 其他學者的發表，及在會場相關的活動包含 Coffee break 及 Lunch buffet 等，可多與一些學者如 General Chair 魯爾大學 Prof. Michael Hubner、伊利諾大學 Prof. Wenjing Rao 饒文靖、大陸清大 Prof. Fei Qiao 喬飛及大陸北大 Prof. Hailong Jiao 焦海龍等互動機會，同時也看到大陸在此領域逐漸的捷起，如下圖。



於 Poster 時間，與一些學者討論我們的論文，如下圖。



● 發表論文之摘要

Abstract—In this paper, we proposed a heuristic algorithm for minimizing the critical access time on a 3D data bus based on inserted bus switches and repeaters. Given the topology of a 3D data bus with a number of timing periods, the algorithm first inserts bus switches to isolate those unnecessary local bus capacitive loading by evaluating all the timing periods. Then, it inserts signal repeaters close to their source drivers, which are located on the current critical path, and tunes their

sizes to minimize the critical access time. This tuning procedure is repeated until no additional improvement. Some created 3D data buses with various topologies using 45nm technology are tested and experimental results show that our algorithm can dramatically reduce the critical access time of a 3D data bus up to 50.6% on average.

Keywords—3D data bus; critical access time; bus switch; signal repeater

● 認識德國歷史文化之旅

此行參加國際研討會，事先也做了些功課，來此參觀了德國魯爾大學校園、波鴻(Bochum)工業區歷史景點，並轉移到杜塞道夫(Dusseldorf)來見識萊茵河美景與萊茵塔，且特別到科隆觀賞百年大教堂等，經歷了德國歷史文化之旅。

- **波鴻礦業博物館** Deutsches Bergbau-Museum Bochum (DBM)，地上約 13,000 平米的展區和地下 2.5 公里長的礦道網，堪稱世界範圍內最重要的礦業博物館。



- **科隆(Koln)百年大教堂**



- 杜賽道夫(Duseeldorf)的萊茵塔(Rhine tower)與萊茵河(Rhine river)美景



● 攜回資料及致謝

此行參加國際研討會，與來自世界各地之國際學者及業界相互交流，藉此了解他們研究方向與成果，並帶回大會相關資料含大會議程手冊、電子檔 Proceeding 論文集等，學術之旅收穫豐碩。有關大會註冊費、機票與生活費方面等支出，感謝科技部計畫補助及南華大學在研究獎勵部分補助及行政上的支援，共同鼎力支持教師到國際研討會做學術論文發表。

105年度專題研究計畫成果彙整表

計畫主持人：蔡加春			計畫編號：105-2221-E-343-004-				
計畫名稱：匯流排效能驅動以隔離開關與插入重複器整合方法應用於三維疊接積體電路							
成果項目			量化	單位	質化 (說明：各成果項目請附佐證資料或細項說明，如期刊名稱、年份、卷期、起訖頁數、證號...等)		
國內	學術性論文	期刊論文		0	篇		
		研討會論文		0			
		專書		0	本		
		專書論文		0	章		
		技術報告		0	篇		
		其他		0	篇		
	智慧財產權及成果	專利權	發明專利	申請中	0	件	
				已獲得	0		
			新型/設計專利		0		
		商標權		0			
		營業秘密		0			
		積體電路電路布局權		0			
		著作權		0			
		品種權		0			
		其他		0			
	技術移轉	件數		0	件		
		收入		0	千元		
	國外	學術性論文	期刊論文		0	篇	
			研討會論文		1		IEEE Computer Society Annual Symposium on VLSI (ISVLSI), pp. 140-145, July 3-5, 2017.
			專書		0	本	
專書論文			0	章			
技術報告			0	篇			
其他			0	篇			
智慧財產權及成果		專利權	發明專利	申請中	0	件	
				已獲得	0		
			新型/設計專利		0		
		商標權		0			
		營業秘密		0			
		積體電路電路布局權		0			
		著作權		0			

		品種權	0		
		其他	0		
	技術移轉	件數	0	件	
		收入	0	千元	
參與計畫人力	本國籍	大專生	0	人次	
		碩士生	0		
		博士生	0		
		博士後研究員	0		
		專任助理	0		
	非本國籍	大專生	5		這些大專生初次接觸VLSI EDA領域，有助於了解以軟體程式來撰寫有關EDA相關的演算法。
		碩士生	0		
		博士生	0		
		博士後研究員	0		
		專任助理	0		
其他成果 (無法以量化表達之成果如辦理學術活動、獲得獎項、重要國際合作、研究成果國際影響力及其他協助產業技術發展之具體效益事項等，請以文字敘述填列。)					

科技部補助專題研究計畫成果自評表

請就研究內容與原計畫相符程度、達成預期目標情況、研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）、是否適合在學術期刊發表或申請專利、主要發現（簡要敘述成果是否具有政策應用參考價值及具影響公共利益之重大發現）或其他有關價值等，作一綜合評估。

1. 請就研究內容與原計畫相符程度、達成預期目標情況作一綜合評估

達成目標

未達成目標（請說明，以100字為限）

實驗失敗

因故實驗中斷

其他原因

說明：

2. 研究成果在學術期刊發表或申請專利等情形（請於其他欄註明專利及技轉之證號、合約、申請及洽談等詳細資訊）

論文： 已發表 未發表之文稿 撰寫中 無

專利： 已獲得 申請中 無

技轉： 已技轉 洽談中 無

其他：（以200字為限）

3. 請依學術成就、技術創新、社會影響等方面，評估研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性，以500字為限）

1. 發現三維匯流排資料存取時，有些不被存取的匯流排佔去額外的電容負載。

2. 提出在匯流排與TSV插入bus switches作為隔離不被存取的匯流排佔去額外的電容負載，以降低資料存取時間，提升一顆三維疊接積體電路(3D IC)資料匯流排資料存取速度。

4. 主要發現

本研究具有政策應用參考價值： 否 是，建議提供機關

（勾選「是」者，請列舉建議可提供施政參考之業務主管機關）

本研究具影響公共利益之重大發現： 否 是

說明：（以150字為限）